**组成原理实验课程第 2 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 数据运算：定点乘法 | | | 班级 | 李涛 |
| 学生姓名 | 胡博浩 | 学号 | 2212998 | 指导老师 | 董前琨 |
| 实验地点 | 津南实验楼A308 | | 实验时间 | 2024.4.11 | |

1. **实验目的**

（1）理解定点乘法的不同实现算法的原理，掌握基本实现算法。

（2）熟悉并运用verilog语言进行电路设计。

（3）为后续设计cpu的实验打下基础。

1. **实验内容说明**

请结合实验指导手册中的实验二（定点乘法器实验）完成性能改进，不在是原始的最长32个时钟周期完成乘法，注意以下几点：

（1）本次主要修改multipler,v模块，建议从两位乘开始进行，此外还有华莱士树等高级优化方式，鼓励大家尝试。

（2）实验报告中需要补充原理图，并对原理图进行解释说明。原理图参照图3.2进行修改，建议使用visio画图（别的画图软件也可，不会画图的可以手绘然后照片放报告里面）。

（3）实验报告中需要有仿真结果（波形截图），并针对图中的数据解释说明，还需要有实验箱上箱验证的照片，同样，针对照片中的数据也需要解释说明。

**实验原理图**



该原理图描述了一个乘法器的改进版本。

（1）初始化：开始时，被乘数和乘数分别存储在64位和32位的寄存器中。被乘数初始时放在64位寄存器中的低32位。

（2）迭代过程：每个时钟周期，被乘数寄存器和乘数寄存器同时向左移动两位。乘数寄存器中的最后两位的值用作控制信号，控制多路选择器的输出。

（3）部分积计算：根据乘数寄存器的最后两位的值，选择相应的被乘数部分，并加到部分积中。加法器根据这两位的值，选择正确数量的被乘数部分加到部分积中，以保持乘法计算的正确性。

（4）判断乘法结束：检查乘数是否为0，若为0则表示乘法结束。

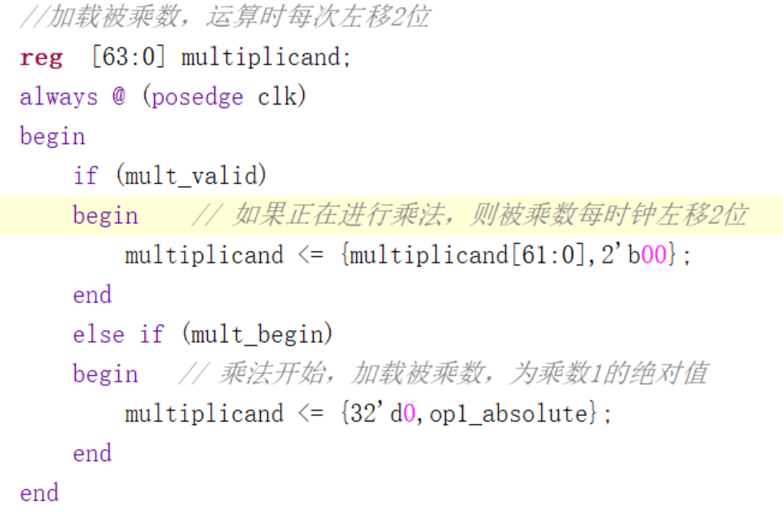
通过这些修改，乘法器的性能得到提升，每次计算的时间缩短到原来的一半，同时仍保持了计算结果的准确性。

1. **实验步骤**

本次实验只修改了multiply.v文件。

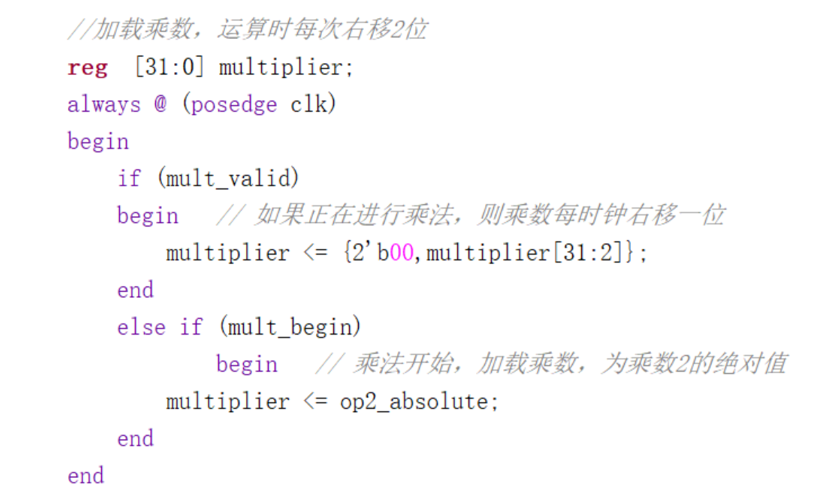
（1）修改被乘数每个时钟周期移动的位数

被乘数每个时钟周期左移2位，每次取原被乘数的后62位和两个0位拼接后构成新的64位被乘数。



（2）修改乘数每个时钟周期移动的位数

乘数每个时钟周期右移2位，每次取两个0位和原乘数的前30位拼接后构成新的32位乘数。

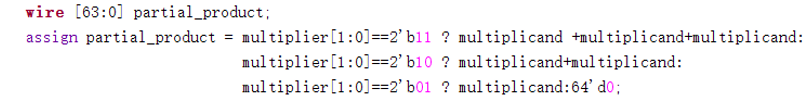


（3）修改部分积的计算方法

根据乘数的最后两位进行判断：

1. 若为00，部分积为0
2. 若为01，部分积为被乘数
3. 若为10，部分积为被乘数的2倍
4. 若为11，部分积为被乘数的三倍

所以对加法器与多路选择器的部分进行修改，语句类似与c++中的条件表达式。



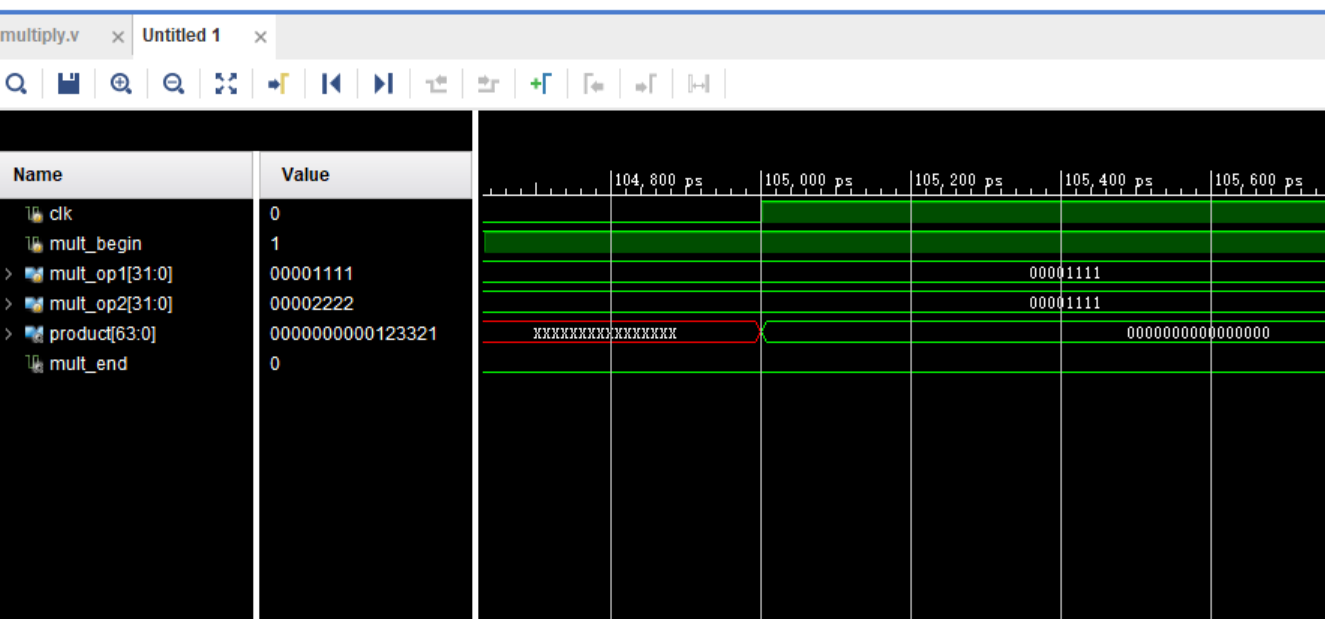
1. **实验结果分析**

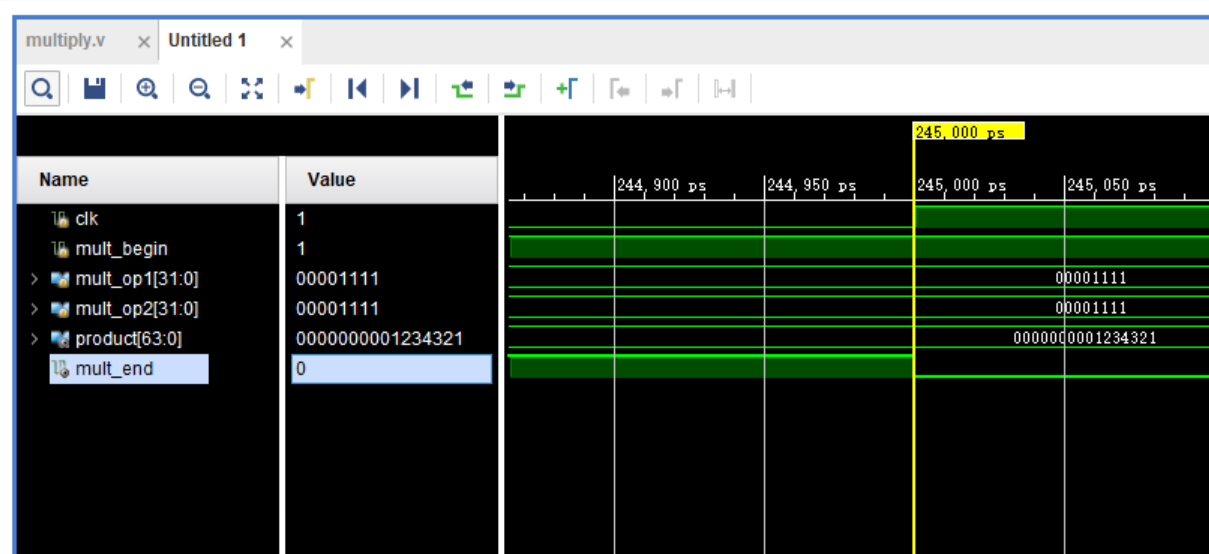
（1）仿真实验

a)改进前：

从105000ps开始乘法计算，直到245000ps时mult\_end=0乘法结束。

一个周期10ns，则改进前一次乘法操作需要（245-105）/10=14周期。



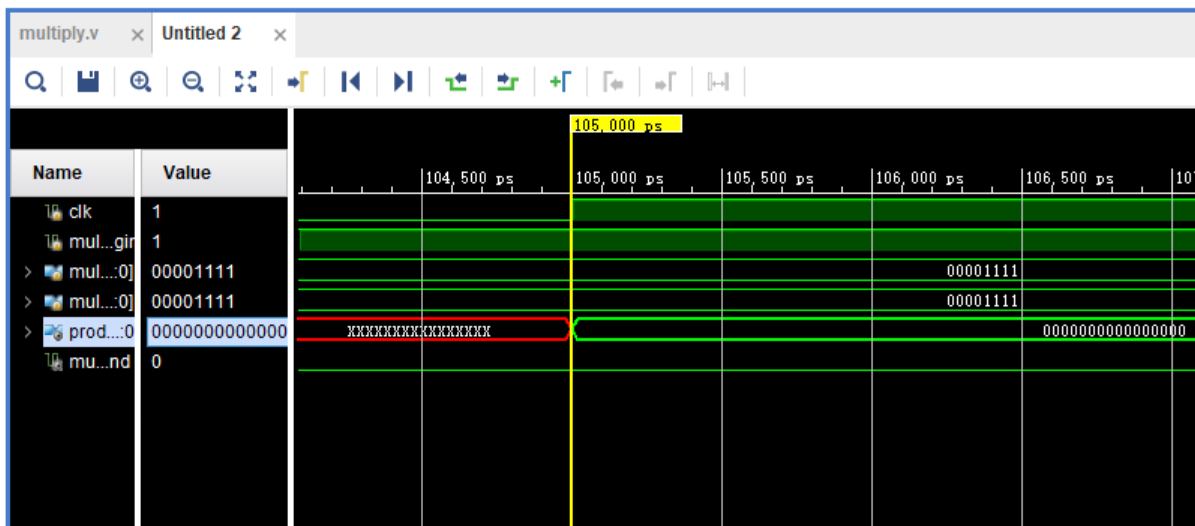


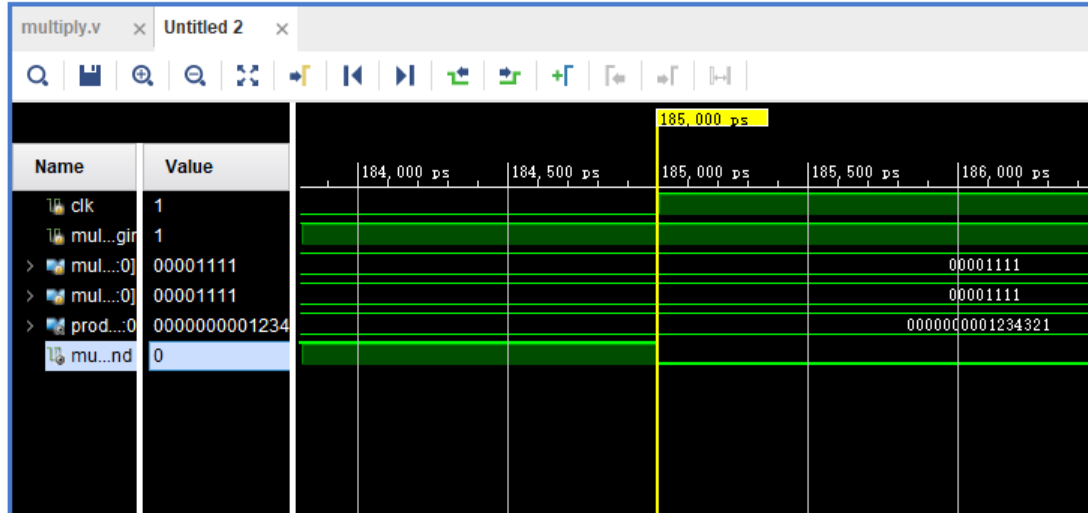
0x00001111\*0x00001111=0x0000000001234321，运算正确

b）改进后

从105000ps开始乘法计算，直到185000ps时mult\_end=0乘法结束。

一个周期10ns，则改进前一次乘法操作需要（185-105）/10=8周期。





0x00001111\*0x00001111=0x0000000001234321，运算正确

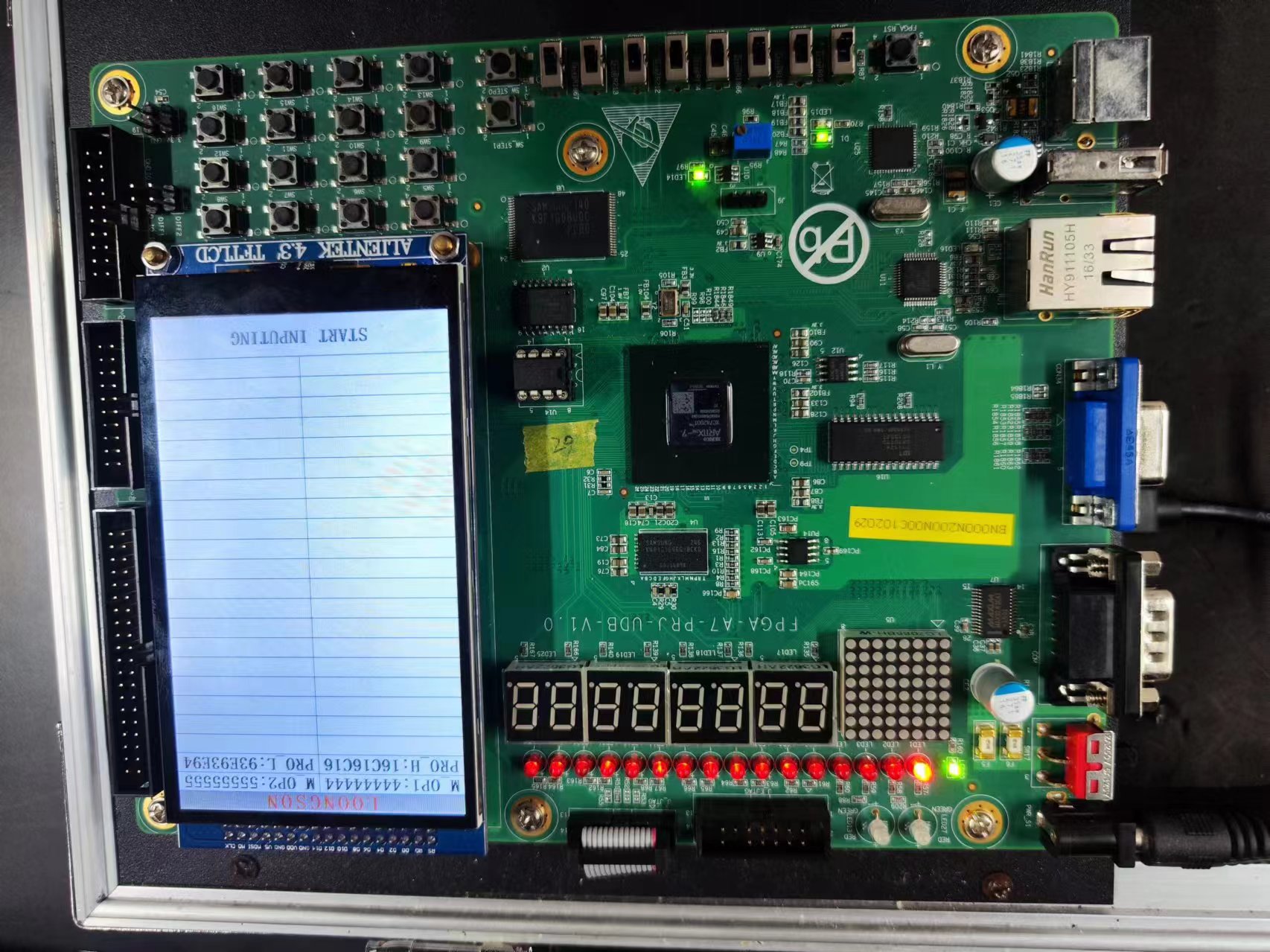
c）结果分析

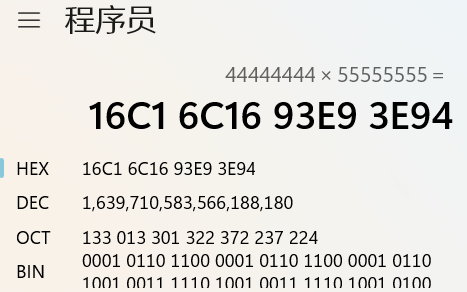
改进后乘法操作的周期由14降为了8，性能提升将近一倍；而且改进后乘法操作的运算结果正确。因此，实验成功。

（2）上箱实验

左起第一个LED灯亮起，表示运算结束

0x44444444\*0x55555555=0x16C16C1693E93E94,运算结果正确





1. **总结感想**

这次实验让我更加熟悉了实验流程和Vivado平台的使用方法。我学会了如何在实验中利用Verilog语言和实验箱进行硬件设计。

我还复习了Visio画图的基本方法，这为我将电路图呈现得更加清晰和准确提供了技能支持。

最重要的是，通过本次实验，我学会了实现一次性移多位来实现乘法器的优化，不仅巩固了我的理论知识，还让我对乘法器的工作原理有了更加深入的理解。乘法器作为计算机中的重要组成部分，其原理的理解对于我理解整个计算机系统的运作方式至关重要。

总的来说，这次实验让我受益匪浅，我将继续努力学习，不断提升自己在数字电路设计和硬件开发领域的能力。